

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0084328  
Application Number

출원 년 월 일 : 2002년 12월 26일  
Date of Application DEC 26, 2002

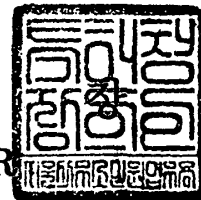
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    년    04    월    16    일

특    허    청

COMMISSIONER





1020020084328

출력 일자: 2003/4/17

**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【참조번호】</b>	0037
<b>【제출일자】</b>	2002.12.26
<b>【발명의 명칭】</b>	옥시나이트라이드막 형성방법
<b>【발명의 영문명칭】</b>	Method of forming oxynitride film
<b>【출원인】</b>	
<b>【명칭】</b>	( 주)하이닉스 반도체
<b>【출원인코드】</b>	1-1998-004569-8
<b>【대리인】</b>	
<b>【성명】</b>	신영무
<b>【대리인코드】</b>	9-1998-000265-6
<b>【포괄위임등록번호】</b>	1999-003525-1
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	신승우
<b>【성명의 영문표기】</b>	SHIN, Seung Woo
<b>【주민등록번호】</b>	631214-1109718
<b>【우편번호】</b>	467-850
<b>【주소】</b>	경기도 이천시 대월면 사동리 현대전자 사원아파트 108-1107호
<b>【국적】</b>	KR
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	동차덕
<b>【성명의 영문표기】</b>	DONG, Cha Deok
<b>【주민등록번호】</b>	720328-1168041
<b>【우편번호】</b>	467-040
<b>【주소】</b>	경기도 이천시 송정동 322번지 동양아파트 101-704
<b>【국적】</b>	KR
<b>【취지】</b>	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 신영 무 (인)

출력 일자: 2003/4/17

1020020084328

【수수료】

15 면 29,000 원

【기본출원료】

0 면 0 원

【가산출원료】

0 건 0 원

【우선권주장료】

0 항 0 원

【심사청구료】

29,000 원

【합계】

1. 요약서·명세서(도면)\_1통

【첨부서류】

**【요약서】****【요약】**

본 발명은 옥시나이트라이드막 형성방법에 관한 것으로, 본 발명은, 실리콘 기판을 산화로 내로 로딩하는 단계와, 상기 산화로 내로 산소계 소스 가스를 주입하여 상기 실리콘 기판 상에 순수 실리콘 산화막을 성장시키는 단계와, 상기 산소계 소스 가스의 주입을 차단하고 불활성 가스를 주입하여 상기 산화로 내에 잔류하는 상기 산소계 소스 가스를 배기시키는 단계와, 상기 산화로 내의 온도를 질화 공정 온도까지 상승시키는 단계와, 상기 산화로 내의 온도를 안정화시키는 단계와, 질소계 소스 가스를 주입하여 상기 순수 실리콘 산화막에 대하여 질화 공정을 실시하는 단계 및 상기 질소계 소스 가스의 주입을 차단하고 상기 산화로 내에 불활성 가스를 주입하면서 상기 산화로를 급속 냉각시키는 단계를 포함한다.

**【대표도】**

도 5

**【색인어】**

옥시나이트라이드막, 질화 공정, 트랩 전하(trap charge)

**【명세서】****【발명의 명칭】**

옥시나이트라이드막 형성방법{Method of forming oxynitride film}

**【도면의 간단한 설명】**

도 1은 순수 실리콘 산화막과 옥시나이트라이드막을 유전막으로 사용한 트랜지스터에서의 문턱전압 차이를 보여주는 그래프이다.

도 2는 실리콘 기판 상에 실리콘 산화막( $\text{SiO}_2$ )막이 형성된 모습을 보여주는 도면이다.

도 3은 질화 공정을 실시하여 Si-SiO<sub>2</sub> 계면에 질소가 안정적으로 치환된 모습을 보여주는 도면이다.

도 4는 질화 공정 후 Si-SiO<sub>2</sub> 계면에 트랩 전하가 형성된 모습을 보여주는 도면이다.

도 5는 열처리 후 트랩 전하가 제거되고 질소가 안정되게 치환되어 있는 모습을 보여주는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 옥시나이트라이드막에 관한 것이다.

- <7> 플래시 메모리 소자의 터널 산화막으로 산소( $O_2$ ) 가스나  $H_2O$ 와  $O_2$ 의 혼합 가스를 이용하여 산화로 내에서 실리콘 기판을 산화시킨 실리콘 산화막(이하, '순수 실리콘 산화막'이라 함)을 사용해 왔으나, 소자의 미세화에 따라 요구되는 터널 산화막의 유효 두께가 줄어들게 되면서 순수 실리콘 산화막의 특성만으로는 소자에서 요구하는 막의 특성을 만족하지 못하게 되었다.
- <8> 한편, 순수 실리콘 산화막을 대체하여 옥시나이트라이드막(oxynitride film)을 사용하게 되면 순수 실리콘 산화막이 만족시키지 못한 막의 특성(예를 들면, 스트레스 유 기 누설 전류(stress induced leakage current), 파괴(breakdown)에 필요한 전하량, 막의 수명 등)을 확보할 수 있다. 이러한 옥시나이트라이드막은 먼저 일정 두께의 순수 실리콘 산화막을 성장시킨 후, 후속으로  $NH_3$ ,  $N_2O$ ,  $NO$  등의 가스를 이용한 질화 공정을 실시하여 기존의 실리콘(Si)-실리콘 산화막( $SiO_2$ ) 계면에 얇은 질소층을 형성하거나 질소가 풍부한 산화막(nitrogen rich oxide film)을 형성시키는 방법으로 제조할 수 있다. 그러나, 이러한 방법으로 Si- $SiO_2$  계면에 질소층을 형성시킬 경우 막 자체의 고유 특성은 향상되나 질소 농도에 비례하여 트랩 전하(trap charge) 농도가 증가하게 되어 그 하부에 형성되는 트랜지스터의 채널에서 캐리어(carrier) 이동도(mobility)에 영향을 주게 되어 트랜지스터의 문턱전압을 변화시키게 된다.
- <9> 특히, NMOS의 경우 옥시나이트라이드막을 터널 산화막으로 사용하게 되면

Si-SiO<sub>2</sub> 계면의 질소 농도가 1atom%만 되어도 문턱전압이 순수 실리콘 산화막 대비 100mV 이상 떨어져서 트랜지스터 특성을 확보하는데 어려움이 따르게 된다. 도 1은 순수 실리콘 산화막과 옥시나이트라이드막을 유전막으로 사용한 트랜지스터에서의 문턱전압 차이를 보여주는 그래프이다. 도 1에서 (a)는 순수 실리콘 산화막을 유전막으로 사용한 경우이고, (b) 및 (c)는 옥시나이트라이드막을 유전막으로 사용한 경우이다. 도 1에서 알 수 있는 바와 같이, 옥시나이트라이드막을 터널 산화막으로 사용하게 되면 Si-SiO<sub>2</sub> 계면의 질소 농도가 1.437atom% 정도일 경우 문턱전압이 순수 실리콘 산화막 대비 110mV 정도 떨어진다.

**【발명이 이루고자 하는 기술적 과제】**

<10> 본 발명이 이루고자 하는 기술적 과제는 순수 실리콘 산화막에서 얻을 수 있는 막의 특성보다 월등히 향상된 막 특성을 확보할 수 있으며, 트랩 전하에 의한 트랜지스터의 문턱전압 변화를 최소화할 수 있는 옥시나이트라이드막 형성방법을 제공함에 있다.

**【발명의 구성 및 작용】**

<11> 상기 기술적 과제를 달성하기 위하여 본 발명은, 실리콘 기판을 산화로 내로 로딩하는 단계와, 상기 산화로 내로 산소계 소스 가스를 주입하여 상기 실리콘 기판 상에 순수 실리콘 산화막을 성장시키는 단계와, 상기 산소계 소스 가스의 주입을 차단하고, 불활성 가스를 주입하여 상기 산화로 내에 잔류하는 상기 산소계 소스 가스를 배기시키는 단계와, 상기 산화로 내의 온도를 질화 공정 온도까지 상승시키는 단계와, 상기 산화로 내의 온도를 안정화시키는 단계와, 질소계 소스 가스를 주입하여 상기 순수 실리콘 산화막에 대하여 질화 공정을 실시하는 단계 및 상기 질소계 소스 가스의 주입을 차단하고,

상기 산화로 내에 불활성 가스를 주입하면서 상기 산화로를 급속 냉각시키는 단계를 포함하는 것을 특징으로 하는 옥시나이트라이드막 제조방법을 제공한다.

<12> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다.

<13> 도 2는 실리콘 기판 상에 실리콘 산화막( $\text{SiO}_2$ )막이 형성된 모습을 보여주는 도면이다. 도 3는 질화 공정을 실시하여 Si-SiO<sub>2</sub> 계면에 질소가 안정적으로 치환된 모습을 보여주는 도면이다. 도 4는 질화 공정 후 Si-SiO<sub>2</sub> 계면에 트랩 전하가 형성된 모습을 보여주는 도면이다. 도 5는 열처리 후 트랩 전하가 제거되고 질소가 안정되게 치환되어 있는 모습을 보여주는 도면이다.

<14> 도 2 내지 도 5를 참조하면, Si-SiO<sub>2</sub> 계면의 질소 농도가 증가할수록 트랩 전하 밀도가 증가하는 이유는 질화 공정시 순수 실리콘 산화막으로 침투한 질소가 Si-SiO<sub>2</sub> 계면에서 Si-O 본딩을 대신하여 Si-N 본딩이 형성되는 동안 발생하는 스트레스로 인해 계면 트랩 전하(interfacial trap charge)가 발생하기 때문이다. 따라서, Si-SiO<sub>2</sub> 계면의 트랩 전하를 최소화하기 위해서는 질소가 Si-SiO<sub>2</sub> 계면에서 실리콘 및 산소와 결합을 하는 동안 발생하는 스트레스를 최대한 줄일 수 있는 방법을 적용하면 된다.

<15> 본 발명에서는 상기와 같은 문제점을 해결하기 위해 질화 공정 동안의 열처리 공정 조건을 조절하거나 질화 공정 후 후속 열처리 공정을 적용함으로써 스트레스를 이완시키는 방법을 사용한다.



<16> <실시예 1>

<17> 먼저, 질화 공정 동안의 열처리 공정 조건을 조절하는 방법에 대하여 설명한다.

<18> 다시 도 2 및 도 3을 참조하면, Si-SiO<sub>2</sub> 계면에 질소가 주입될 때 발생하는 스트레스를 이완시키기 위해서는 SiO<sub>2</sub>막의 점성 플로우(viscous flow) 온도인 950℃ 이상의 온도를 유지해야 한다. 이 이상의 온도에서 질화 공정을 진행할 경우 Si-O 본딩에서 질소가 치환되더라도 인접한 SiO<sub>2</sub>막의 유동성으로 스트레스가 이완되게 되어 트랩 전하의 발생을 근원적으로 예방하게 된다. 한편, 950℃ 이상의 고온에서 질화 공정을 실시할 때 소스 가스인 NH<sub>3</sub>, N<sub>2</sub>O 또는 NO만을 사용하게 되면 Si-SiO<sub>2</sub> 계면에 기대하는 농도의 질소량을 주입하거나 질소가 풍부한 산화막 두께를 조절하기가 어려울 수 있으므로 불활성 기체인 아르곤(Ar)이나 N<sub>2</sub> 가스를 소스 gas와 적절한 비율로 혼합하여 주입하면 해결이 가능하다.

<19> 이하에서 더욱 구체적으로 설명한다.

<20> 먼저, 산화로 내에서 원하는 만큼의 순수 실리콘 산화막을 성장시킨다. 상기 순수 실리콘 산화막은 750~800℃ 정도의 온도에서 습식 산화를 진행하여 형성할 수 있다. 산화 공정 후, 소스 가스를 차단하고 불활성 가스를 산화로 내부로 주입시켜 잔류하는 산화제를 모두 배기시킨다. 계속적으로 불활성 가스 분위기를 유지하여 원치 않는 산화막 성장을 방지한 상태에서 질화 공정 진행을 위해 950℃ 이상의 온도까지 상승시킨다. 질화 공정 진행을 위한 온도가 안정화되면 소스 가스를 산화로 내부로 주입하여 질화 공정을 실시한다. 이때 사용하는 소스 가스는 NH<sub>3</sub>, N<sub>2</sub>O 또는 NO 등이 사용가능하며, Si-SiO<sub>2</sub>

계면에 희망하는 질소 농도 또는 질소가 풍부한 산화막 성장을 위해서는 아르곤(Ar) 또는  $N_2$  등의 불활성 가스로 희석하여 사용하는 것도 가능하다.

- <21> 질화 공정이 완료되면, 소스 가스를 차단하고 산화로 내부로 순수한 불활성 가스만을 주입한 상태에서 가능한 빠른 속도로 산화로를 냉각시킨다. 이때의 냉각 속도는 웨이퍼에 물리적인 휨 현상을 일으키지 않을 수준으로서 가능한 빠를수록 좋다. 산화로 냉각 속도가 빠를수록 트랩 전하의 재생성 방지에 효과적이다. 여기서, 공정 구성상의 필요로 인해 산화로에서 순수 실리콘 산화막을 성장시킨 후, 질화 공정은 별도의 장비에서 상기와 같은 절차로 진행하여 실시해도 무방하다.

<22> <실시에 2>

- <23> 질화 공정 후, 후속 열처리 공정을 적용하는 방법에 대하여 설명한다.

- <24> 도 4 및 도 5를 참조하면, 질화 공정에서 이미 발생한 트랩 전하를 후속 어닐링으로 제거하는 방법으로서 질화 공정 온도 이상의 온도에서 불활성 가스(예를 들면, Ar,  $N_2$  등)를 주입하여 어닐링을 할 경우 질소 치환으로 인해 불안정한 격자 구조를 가진 Si-SiO<sub>2</sub> 계면이 안정된 격자 구조로 재편되면서 이미 발생한 트랩 전하도 소멸하게 된다.

- <25> 이하에서 더욱 구체적으로 설명한다.

- <26> 먼저, 산화로 내부에서 원하는 만큼의 순수 실리콘 산화막을 성장시킨다. 상기 순수 실리콘 산화막은 750~800℃ 정도의 온도에서 습식 산화를 진행하여 형성할 수 있다. 산화 공정 후, 소스 가스를 차단하고 불활성 가스를 산화로 내부로 주입시켜 잔류하는 산화제를 모두 배기시킨다. 계속적으로 불활성 가스 분위기를 유지하여 원치 않는 산화

막 성장을 방지한 상태에서 질화 공정 진행을 위해 온도를 안정화시킨다. 이때, 질화 공정 온도는 제1 실시예와는 달리 하한 온도의 제약은 없으며 희망하는 질화 공정 수준을 확보하기 위해 필요한 온도면 무방하며 일반적으로 800℃ 이상이면 가능하다. 질화 공정을 위한 온도가 안정화되면 소스 가스를 산화로 내부로 주입하여 질화 공정을 실시한다. 이때 사용하는 소스 가스는  $\text{NH}_3$ ,  $\text{N}_2\text{O}$  또는  $\text{NO}$  등이 사용가능하며, Si-SiO<sub>2</sub> 계면에 희망하는 질소 농도 또는 질소가 풍부한 산화막 성장을 위해서는 아르곤(Ar) 또는  $\text{N}_2$  등의 불활성 가스로 희석하여 사용하는 것도 가능하다.

<27> 질화 공정이 완료되면, 소스 가스를 차단하고 산화로 내부로 순수한 불활성 가스만을 주입한 상태에서 어닐링 공정 온도까지 상승시킨다. 이때, 어닐링 공정의 온도는 질화 공정 온도 이상의 온도에서 진행하면 무방하며, 온도를 높이 유지할수록 트랩 전하 제거 효과는 뛰어나나 소자에 미치는 열적 버짓(thermal budget)을 고려해 적절히 조절한다. 어닐링 공정은 아르곤(Ar)이나  $\text{N}_2$  같은 불활성 분위기에서 실시하며, 공정이 완료되면 가능한 빠른 속도로 산화로를 냉각시킨다. 이때의 냉각 속도는 웨이퍼에 물리적인 휨 현상을 일으키지 않을 수준으로서 가능한 빠를수록 좋다. 산화로 냉각 속도가 빠를수록 트랩 전하의 재생성 방지에 효과적이다. 여기서, 공정 구성상의 필요로 인해 산화로에서 순수 실리콘 산화막을 성장시킨 후, 질화 공정은 별도의 장비에서 상기와 같은 절차로 진행하여 실시해도 무방하다.

#### 【발명의 효과】

<28> 본 발명에 의한 옥시나이트라이드막 형성방법에 의하면, 플래시 메모리 소자의 터널 산화막 제조나, 그외 메모리 또는 로직 소자(logic device)의 게이트 산화막 제조 공정에 본 발명에서 제안한 옥시나이트라이드막 형성방법을 적용할 경우 종래의 순수 실리콘

1020020084328

콘 산화막에서 얻을 수 있는 막의 특성보다 월등히 향상된 막 특성을 확보할 수 있으며, 기존의 옥시나이트라이드막의 단점인 트랩 전하에 의한 트랜지스터의 문턱전압 변화를 최소화할 수 있는 효과가 있다.

<29> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

1020020084328

【특허청구범위】

【청구항 1】

실리콘 기판을 산화로 내로 로딩하는 단계;  
상기 산화로 내로 산소계 소스 가스를 주입하여 상기 실리콘 기판 상에 순수 실리콘 산화막을 성장시키는 단계;  
상기 산소계 소스 가스의 주입을 차단하고, 불활성 가스를 주입하여 상기 산화로 내에 잔류하는 상기 산소계 소스 가스를 배기시키는 단계;  
상기 산화로 내의 온도를 질화 공정 온도까지 상승시키는 단계;  
상기 산화로 내의 온도를 안정화시키는 단계;  
질소계 소스 가스를 주입하여 상기 순수 실리콘 산화막에 대하여 질화 공정을 실시하는 단계; 및  
상기 질소계 소스 가스의 주입을 차단하고, 상기 산화로 내에 불활성 가스를 주입하면서 상기 산화로를 급속 냉각시키는 단계를 포함하는 것을 특징으로 하는 옥시나이트라이드막 형성방법.

【청구항 2】

제1항에 있어서, 상기 질소계 소스 가스는  $\text{NH}_3$ ,  $\text{N}_2\text{O}$  또는  $\text{NO}$  가스인 것을 특징으로 하는 옥시나이트라이드막 형성방법.

【청구항 3】

제2항에 있어서, 상기 질화 공정을 실시할 때 상기 질소계 소스 가스와 함께  $\text{Ar}$  또는  $\text{N}_2$  가스를 혼합하여 주입하는 것을 특징으로 하는 옥시나이트라이드막 형성방법.

1020020084328

【청구항 4】

제1항에 있어서, 상기 질화 공정 온도는  $\text{SiO}_2$ 막의 점성 플로우가 일어날 수 있는 온도이고, 상기 질화 공정은  $\text{Si-SiO}_2$  계면에 질소가 주입될 때 발생하는 스트레스를 이완시키기 위하여  $\text{SiO}_2$ 막의 점성 플로우가 일어날 수 있는 온도 이상에서 실시하는 것을 특징으로 하는 옥시나이트라이드막 형성방법.

【청구항 5】

제1항에 있어서, 상기 질화 공정은  $800^\circ\text{C}$  보다는 큰 온도에서 실시하는 것을 특징으로 하는 옥시나이트라이드막 형성방법.

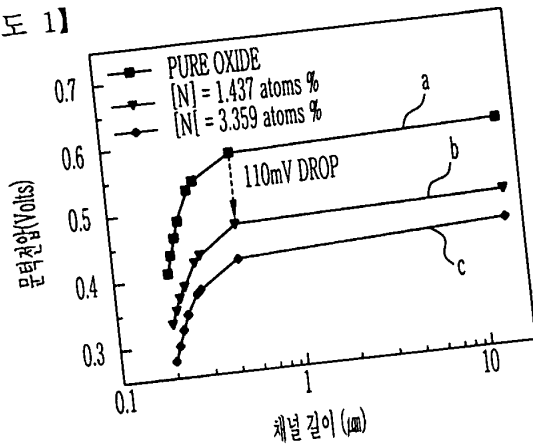
【청구항 6】

제1항에 있어서, 상기 질화 공정을 실시하는 단계 후 상기 산화로를 냉각시키는 단계 전에, 상기 질소계 소스 가스의 주입을 차단하고 상기 산화로 내에 불활성 가스를 주입하면서 상기 산화로의 온도를 상기 질화 공정을 실시한 온도보다 높은 온도로 상승시켜 어닐링을 실시하는 단계를 더 포함하는 것을 특징으로 하는 옥시나이트라이드막 형성방법.

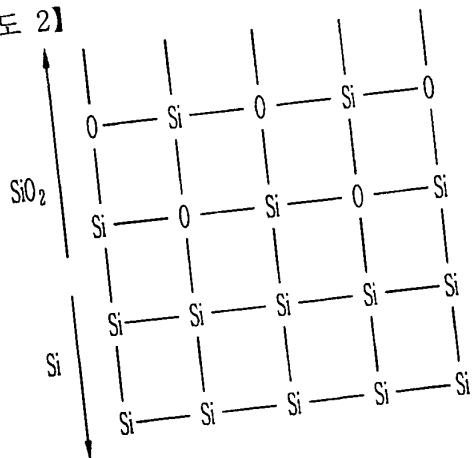
1020020084328

【도면】

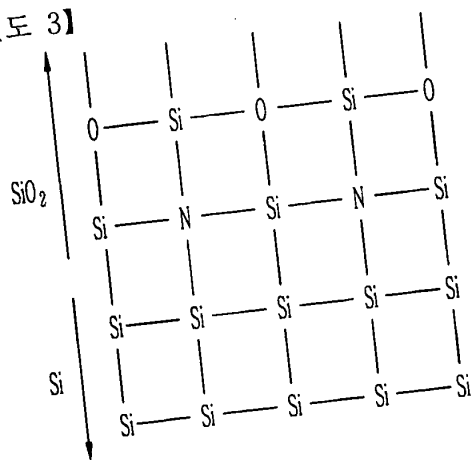
【도 1】



【도 2】

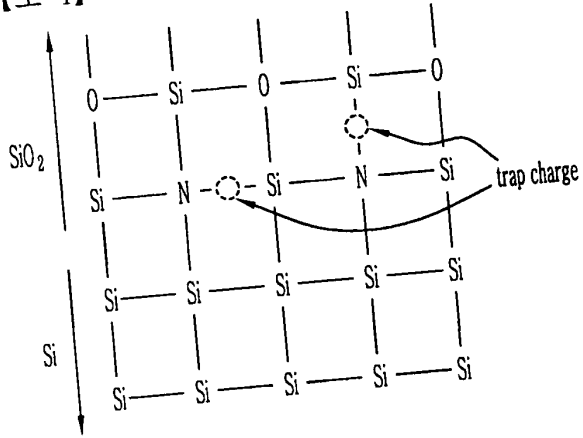


【도 3】



1020020084328

【도 4】



【도 5】

